

PLC에서 FPGA로의 효과적인 전환을 위한 기법

유준범

Dependable Software Laboratory

건국대학교

2012.11.01

발표 내용

- 연구 동기 및 범위
- PLC SW 개발 프로세스
- FPGA 개발 프로세스
- 효과적인 PLCtoFPGA 전환을 위한 SW 개발 프로세스
- 케이스 스터디
- 결론

연구 동기

원자로 보호 시스템(RPS)의 플랫폼 변경 필요성 증가

- 기능 복잡도 ↑
- 유지보수 비용 ↑



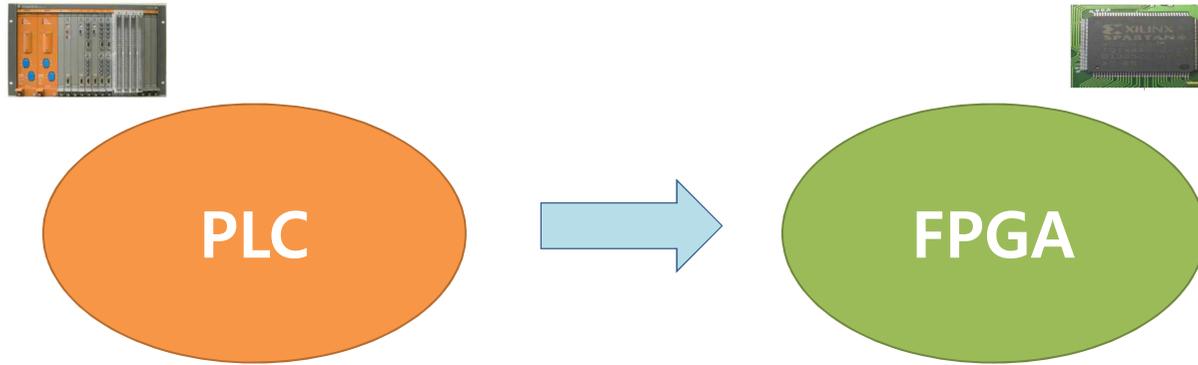
PLC (Programmable Logic Controller)

- 현재 사용 중인 RPS 플랫폼
- 널리 사용되는 산업용 Embedded System
- 특징: 비교적 단순한 제어기능을 정확하게 반복 소프트웨어 시스템
- 내장형 소프트웨어: FBD/LD 등으로 프로그래밍
- 장점: 20년 이상 축적된 개발 경험과 노하우
- 단점: 복잡도 ↑
유지보수 비용 ↑

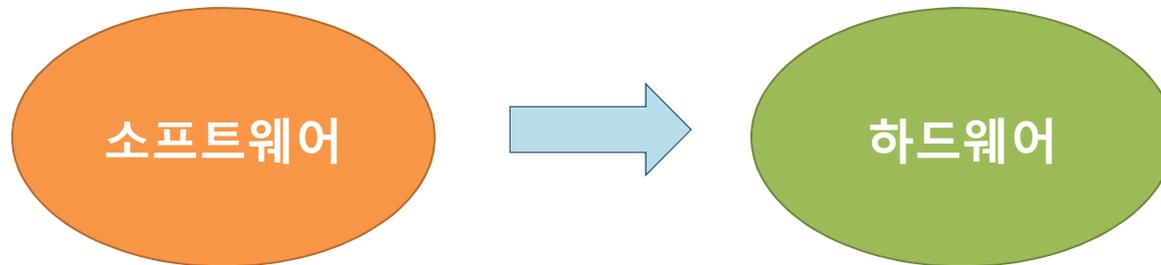


FPGA (Field-Programmable Gate Array)

- IC (Integrated Circuit) 개발에 널리 사용
- 하드웨어(HW) 개발
- 특징: 복잡한 연산을 빠르게 수행
하드웨어 시스템
- 내부 기능 설계: HDL 등으로 Configuration
- 장점: 성능 ↑
복잡도 ↓
- 단점: 새로운 HW 개발방법론 습득



RPS 개발 패러다임 변경



고려해야 할 사항들

소프트웨어와 하드웨어의 전통적인 차이점 및 장단점

하드웨어 개발 방법론

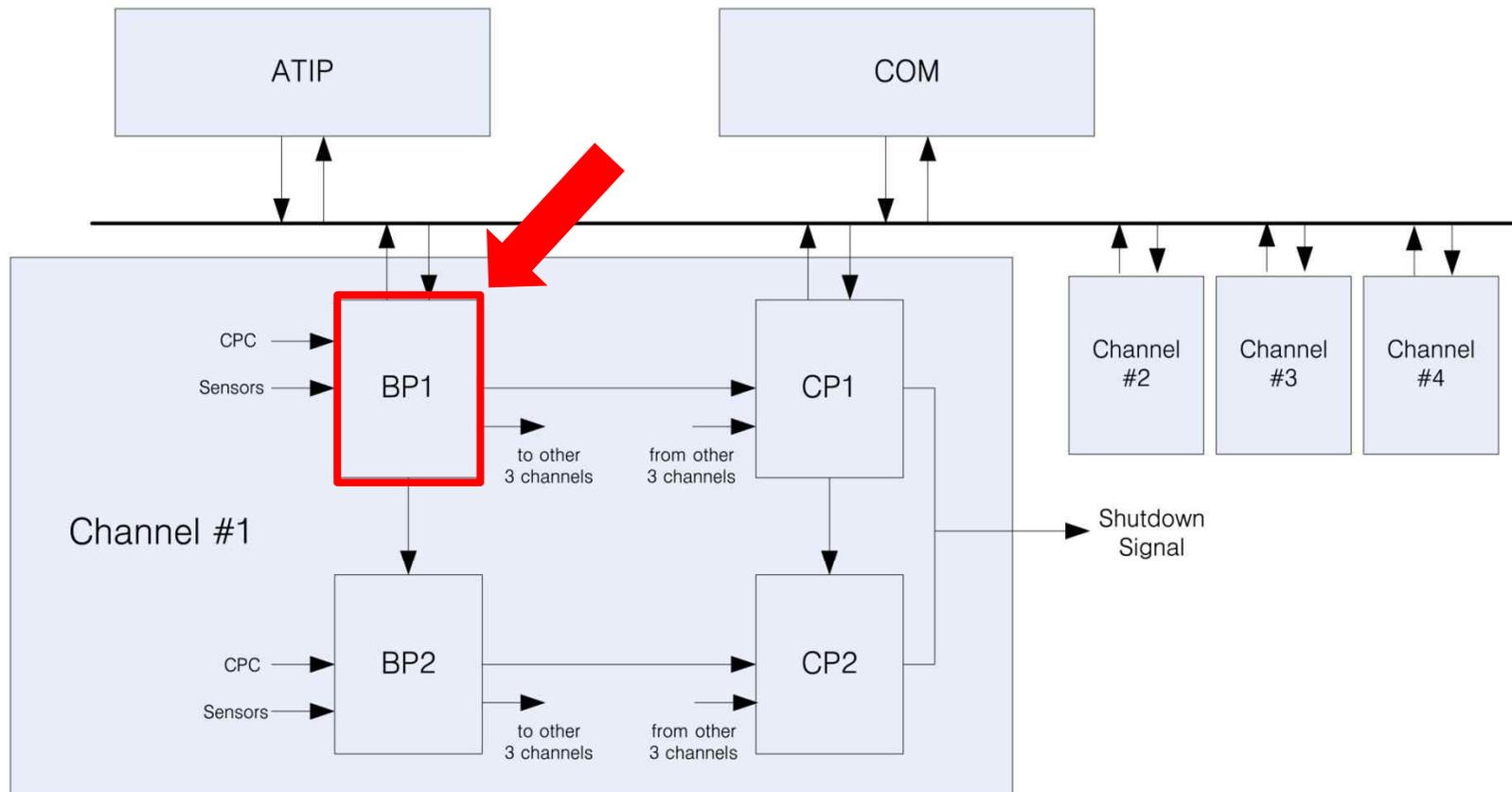
하드웨어 개발 도구의 기능안전성 확보

원자력 도메인에 특화된 하드웨어 특성

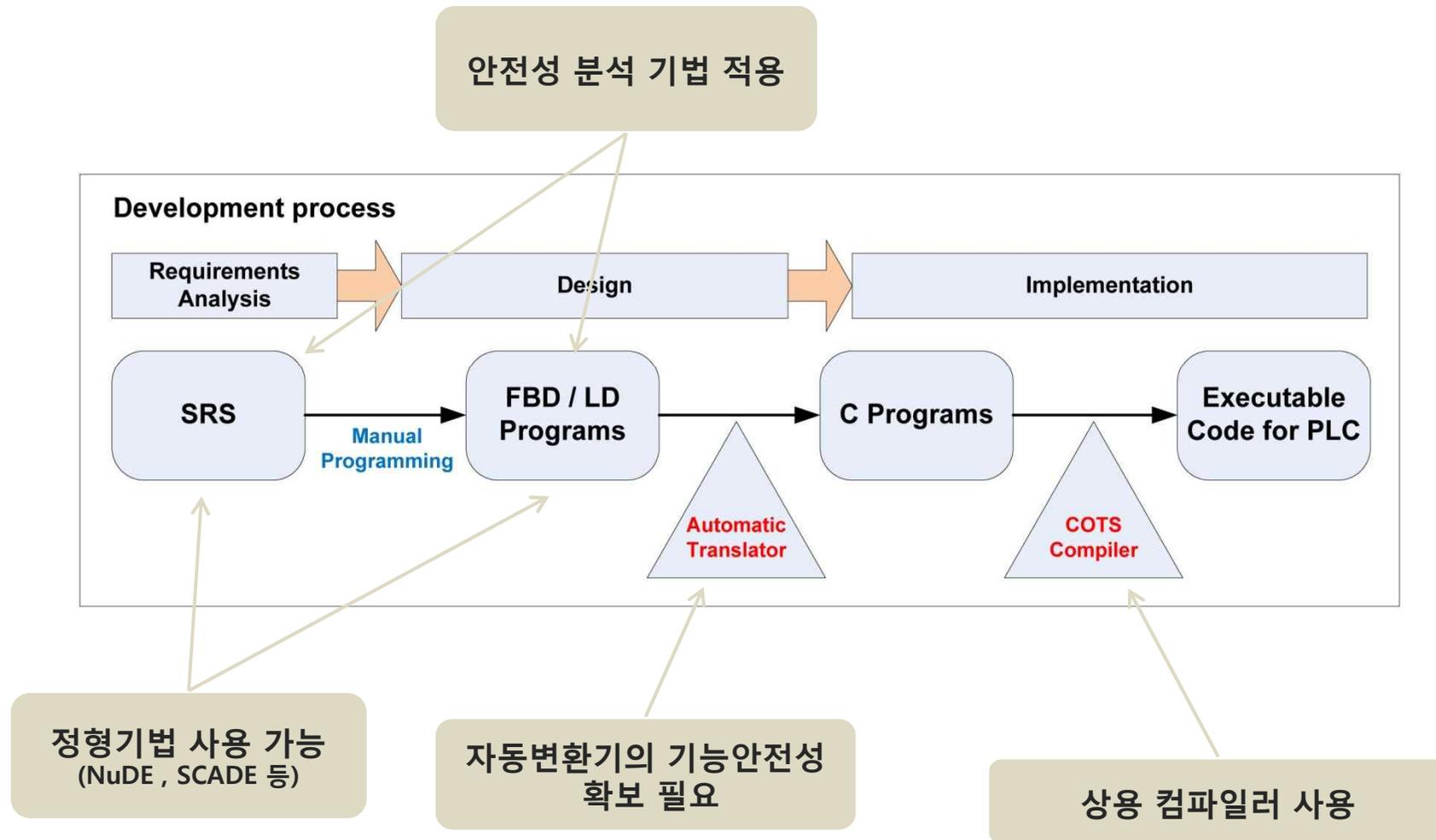
하드웨어 기반 RPS 아키텍처 (I/O, 통신 등)

소프트웨어 개발 경험·노하우 포기 및 소프트웨어 엔지니어의 문화적 충격

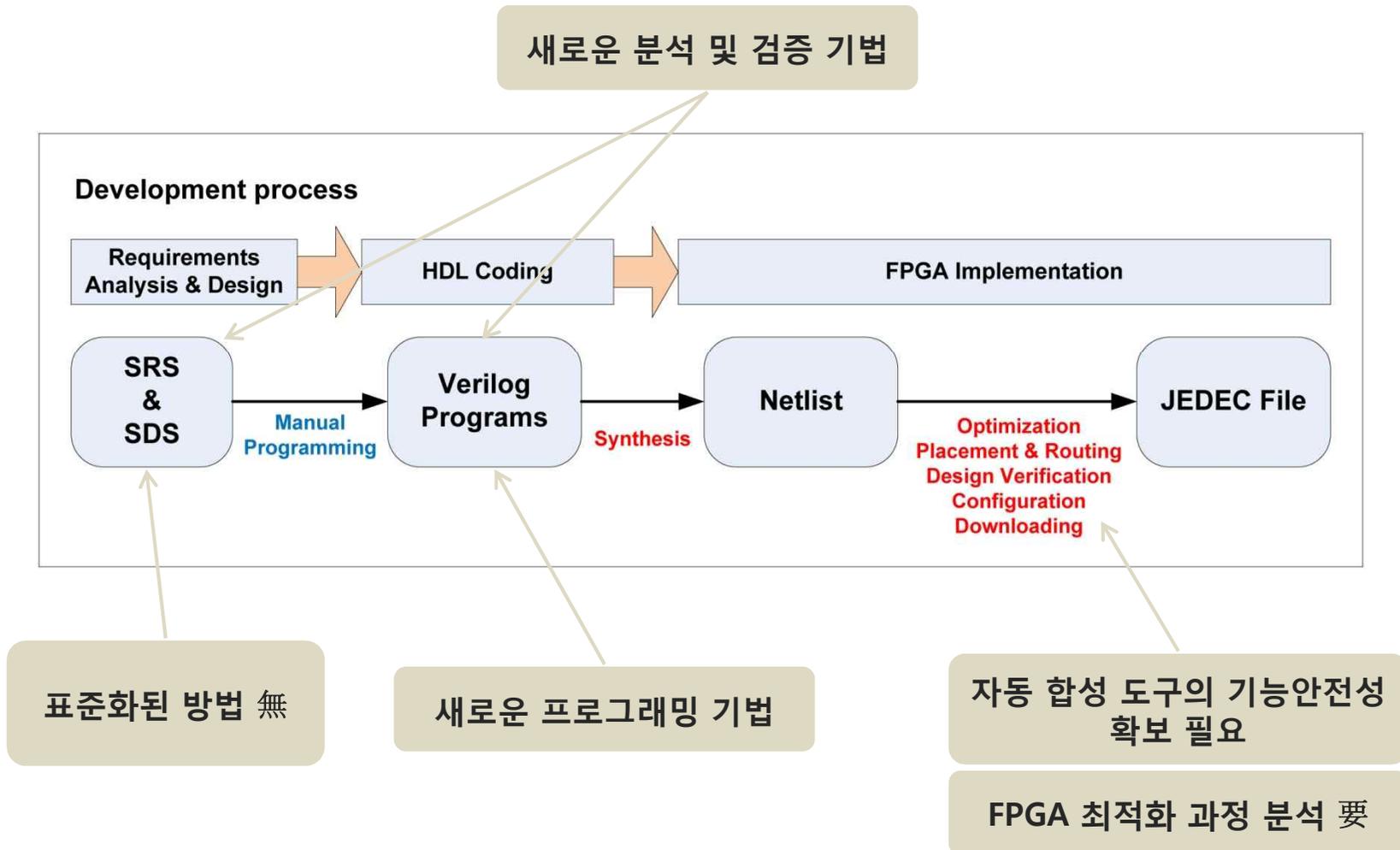
(現) 연구 범위



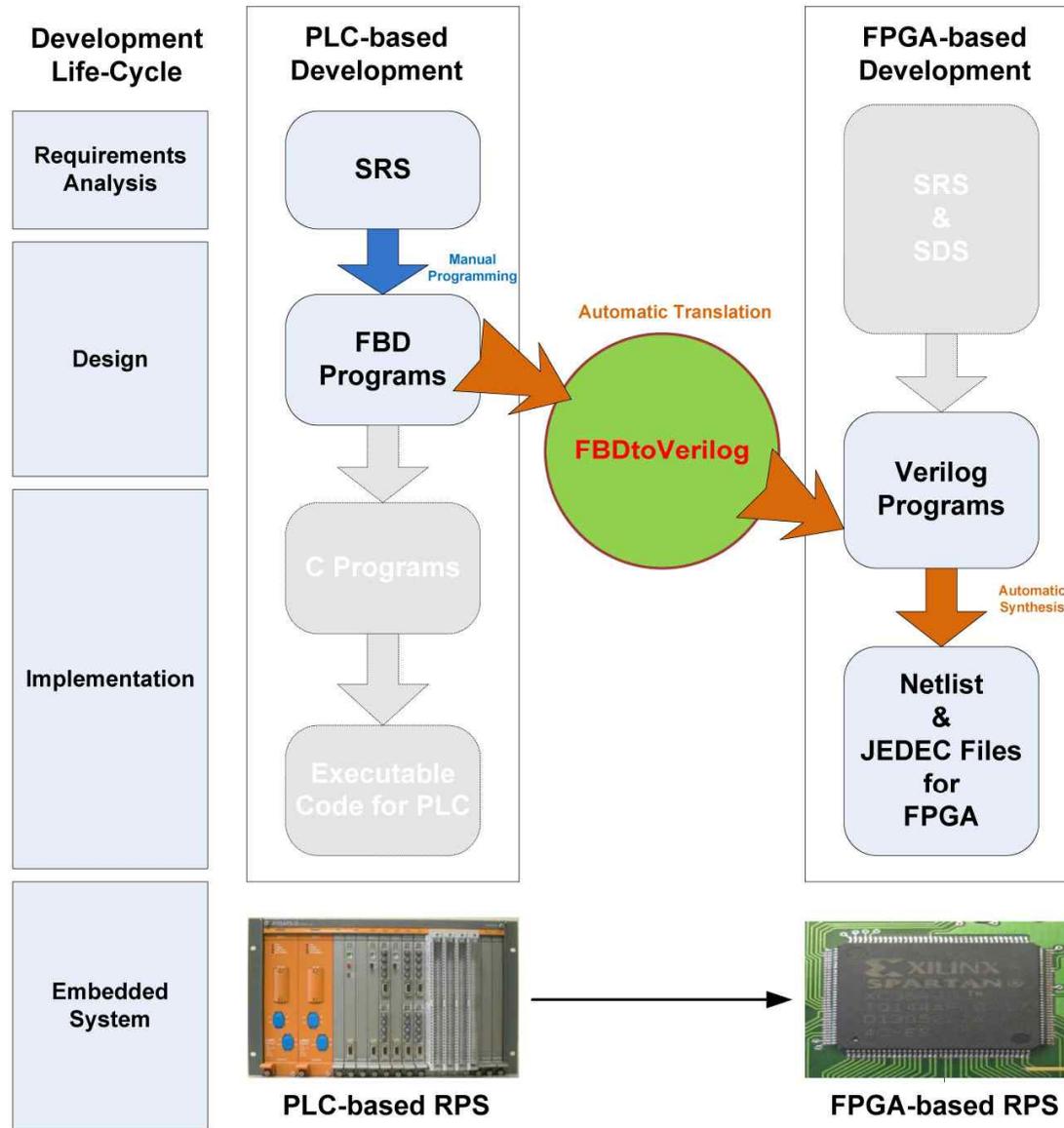
PLC SW 개발 프로세스



FPGA 개발 프로세스 (SW개발자 관점에서)



효과적인 PLCtoFPGA 전환을 위한 SW 개발 프로세스



제안하는 SW 개발 프로세스의 특징

기존의 PLC SW 개발 경험·노하우 유지

기존의 PLC SW 개발에 적용되던 분석 및 검증 기법을 그대로 적용 가능

기존 SW 엔지니어의 문화·기술적 충격을 완화

Diversity 확보 , Prototype , 성능·기능 비교용 테스트 베드



HW (FPGA) 기반 개발방법론이 완벽하게 정립되기 전까지 사용하는
과도기적 방법

케이스 스터디

실험 환경

대상: KNICS APR-1400 RPS BP
버전: 초기 정형명세

NuDE 환경 사용

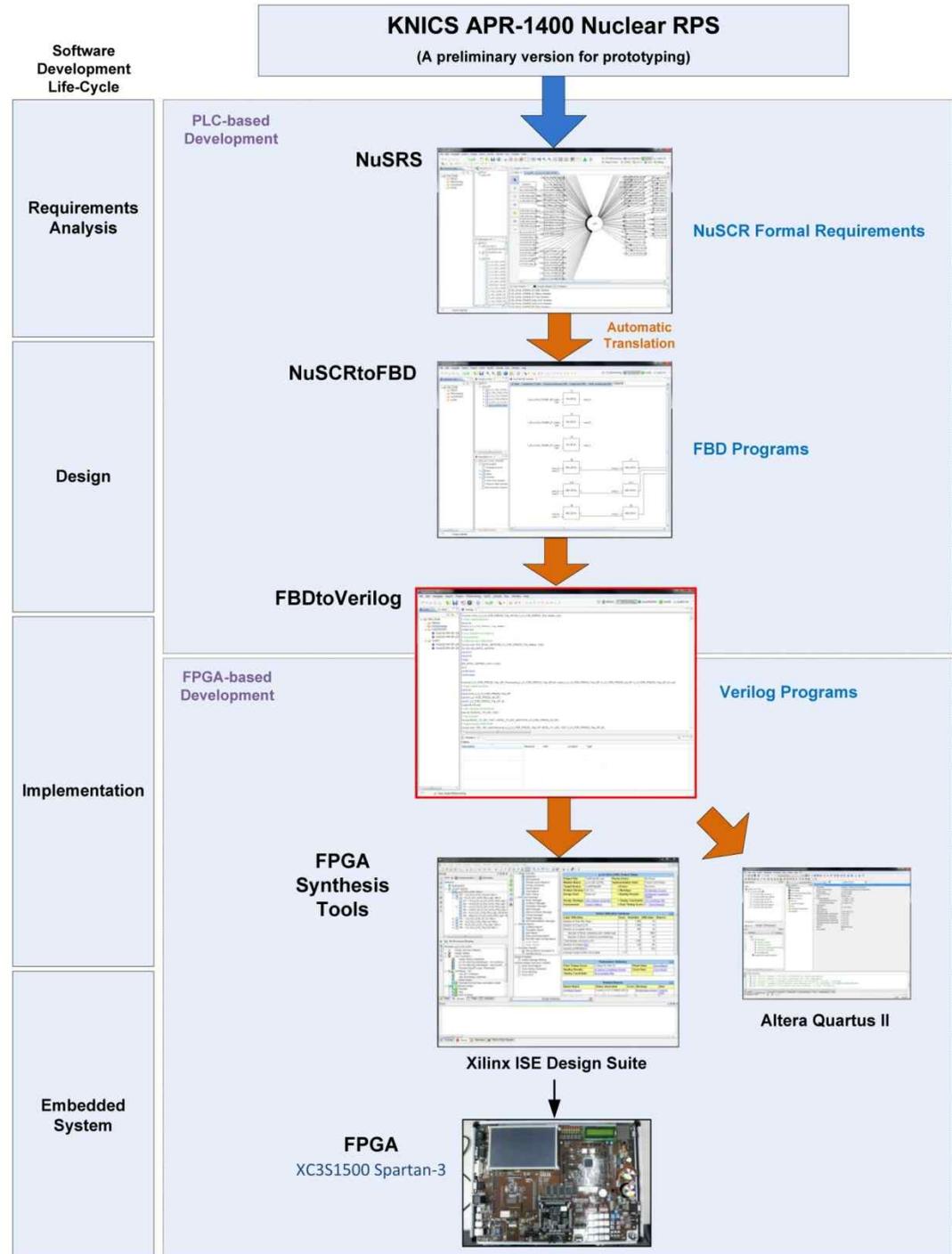
FBDtoVerilog

자동 변환기

입력: PLCopen TC6 형식 FBD
출력: Verilog 프로그램

특징

- Full-Scale의 FBD 변환 가능
- 다양한 정형검증 도구와 연동
 - SMV
 - VIS
 - HW-CBMC
- Eclipse plug-in 구현



자동변환 결과

	Category	# of FBs	# of Comp. FBDs	# of Sys. FBDs	# of EOs	# of IOs	# of timer FBs
<i>g_LO_SG1_LEVEL</i>	Fixed set-point	77	31	6	6	23	2
<i>g_HI_LOG_POWER</i>	Fixed set-point	89	37	8	8	27	2
<i>g_VAR_OVER_PWR</i>	Variable set-point	186	44	9	9	32	2
<i>g_SG1_LO_FLOW</i>	Variable set-point	186	45	9	9	33	2
<i>g_LO_PZR_PRESS</i>	Manual reset	204	52	12	12	36	3
<i>g_HI_LOCAL_POWER</i>	Digital logic	50	18	4	4	14	0
<i>g_BP</i>	Total	792	227	48	48	165	11

FBD



FBDtoVerilog

Verilog

	FBD	Verilog		
	# of FBs	# of modules	# of func. def.	# of func. calls
<i>g_LO_SG1_LEVEL</i>	77	39	48	75
<i>g_HI_LOG_POWER</i>	89	47	58	87
<i>g_VAR_OVER_PWR</i>	186	55	83	184
<i>g_SG1_LO_FLOW</i>	186	56	84	184
<i>g_LO_PZR_PRESS</i>	204	68	90	201
<i>g_HI_LOCAL_POWER</i>	50	53	24	50
<i>g_BP</i>	792	318 (1)	387	781



Xilinx ISE Design Suite

	Combinationals			Registers
<i>g_BP</i>	# of Adders/Subtractors	# of Counters	# of Comparators	# of Registers
	37	11	99	40
<i>g_BP</i> (optimized)	LUTs			Registers
	54			13

	Netlist	
	# of combinationals	# of registers
<i>g_LO_SG1_LEVEL</i>	9	3
<i>g_HLLOG_POWER</i>	9	2
<i>g_VAR_OVER_PWR</i>	16	8
<i>g_SG1_LO_FLOW</i>	5	0
<i>g_LO_PZR_PRESS</i>	6	0
<i>g_HLLOCAL_POWER</i>	9	0
<i>g_BP</i>	54	13

Altera Quartus II

최종 변환 결과

	FBD	Verilog		Netlist	
	# of FBs	# of modules	# of func. calls	# of combinationals	# of registers
<i>g_BP</i>	792	318	781	54	13

FBDtoVerilog 자동변환 시 고려해야 할 사항들

Radiation Resistance of FPGA

RTL 최적화

VHDL 생성기

FBDtoVerilog의 기능 안전성

FPGA 합성 도구의 기능 안전성

Highly Integrated RPS Components

결론

원자로 보호 시스템(RPS)의 플랫폼 변경 필요성 증가

- 기능 복잡도 ↑
- 유지보수 비용 ↑

PLC를 FPGA로 변경하려는 시도

- RPS 개발 패러다임 변경 (소프트웨어 개발 → 하드웨어 개발)
- 소프트웨어 개발 경험·노하우 포기 및 소프트웨어 엔지니어의 전환 교육 필요

효과적인 PLCtoFPGA 전환을 위한 RPS SW 개발 프로세스

- FBDtoVerilog 자동변환기 사용
- 기존의 PLC SW 개발 경험·노하우 유지
- 기존의 PLC SW 개발에 적용되던 분석 및 검증 기법을 그대로 적용 가능
- 기존 SW 엔지니어의 문화·기술적 충격을 완화
- Diversity 확보, 프로토타입 역할, 성능·기능 비교 분석용 테스트베드