

# VerilogLinker : FPGA 제어를 위한 통합개발환경과 상용 FPGA 합성도구의 연동

서영주, 이동아, 유준범  
건국대학교 컴퓨터공학부  
e-mail : {syjsmk, ldalove, jbyoo}@konkuk.ac.kr

## VerilogLinker : A tool for link IDE for FPGA controller to commercial FPGA synthesis software

Youngju Seo, Dong-Ah Lee, Junbeom Yoo  
Division of Computer Science and Engineering, Konkuk University

### 요 약

원전 디지털 계측제어시스템에서 공통원인고장(Common cause failure)의 발생 가능성이 증가함에 따라 이를 방지하기 위해 프로그래머블 논리소자(Field Programmable Gate Array)를 이용한 제어기가 개발되어 활용되고 있다. 그러나, FPGA-기반의 제어를 구현하는데 사용되는 하드웨어 기술 언어는 그래픽 언어를 이용한 PLC 기반의 개발을 하던 대부분의 원전 계측제어 엔지니어에게 친숙하지 않아 제어기의 구현에 어려움이 있다. 따라서 엔지니어에게 친숙한 그래픽 언어를 이용하여 FPGA 용 제어 프로그램을 작성할 수 있는 통합개발환경이 필요하다. 본 논문에서 구현한 VerilogLinker 는 제어프로그램의 개발을 위한 통합개발환경의 일부로 통합개발환경을 이용한 제어 프로그램의 개발과정 중에서 생성된 Verilog 파일을 FPGA 공급자가 제공하는 상용 소프트웨어인 Libero SoC 와 연결하는 기능을 제공한다.

### 1. 서론

최근 원전 디지털 계측제어시스템에서 공통원인고장(Common Cause Failure)의 발생 가능성이 증가함에 따라 이를 방지하기 위해 새로운 설계 개념이 도입되면서 기존의 Programmable Logic Controller (PLC)[1] 대신 프로그래머블 논리소자 (Field Programmable Gate Array: FPGA)를 이용한 안전등급 다양성 제어기가 개발되어 활용되고 있다. 그러나 FPGA-기반의 제어를 활용하여 원전의 제어계통 또는 보호계통을 구현할 때에는 하드웨어 기술 언어(Hardware Description Language: HDL)를 사용하게 되는데, 이는 대부분의 원전 계측제어 엔지니어에게 친숙하지 않아 이를 이용한 제어기의 구현에 어려움이 있다.

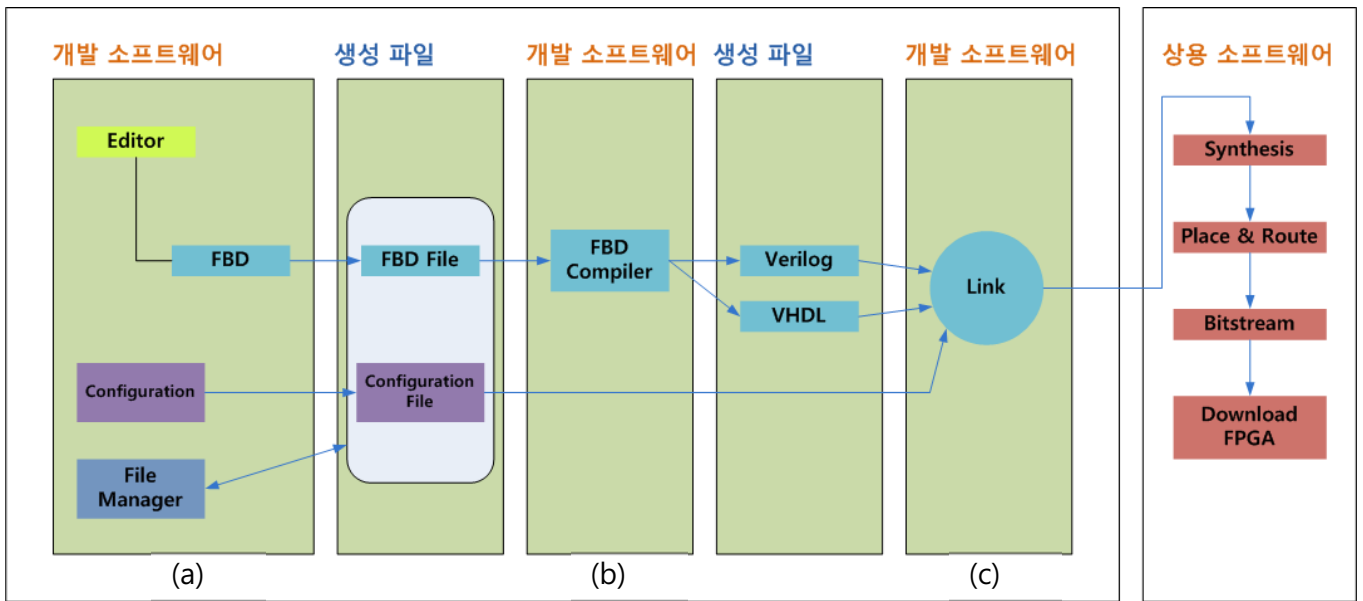
기존 PLC 기반 제어기는 그래픽 언어인 Function Block Diagram (FBD)을 사용하여 PLC 상에서 동작할 소프트웨어를 구현하였다. 반면, FPGA 기반의 제어기 개발은 HDL 을 이용하여 FPGA 반도체 소자의 동작정의를 개발하는 방식이다. 이는 하드웨어를 개발하는 것으로 기존의 FBD 를 이용한 소프트웨어 개발과는 많은 차이가 있다. 또한 HDL 을 이용해 개발하게 될 경우 FBD 를 대상으로 했던 검증 기법을 적용할 수 없게 되는 등 기존의 여러 기술들을 그대로 적용할 수 없게 되는 문제점이 있다. 따라서 기존의 계측제어시스템을 구현하는데 사용되어 엔지니어에게 친숙한 언어인 FBD 를 이용하여 FPGA 용 제어 프로그

그램을 작성하도록 할 수 있는 개발환경이 필요하다. 우리는 이를 위해서 FPGA-기반 제어기에 구현되는 제어프로그램 개발을 지원하는 통합개발환경 소프트웨어 도구를 개발하고 있다. 본 논문에서 설명하는 도구인 VerilogLinker 는 통합개발환경을 이용한 FPGA 프로그램의 개발과정 중에서 생성된 Verilog 파일을 FPGA 공급자가 제공하는 상용 소프트웨어 도구인 Libero SoC v11.1 과 연결하는 기능을 제공한다.

본 논문은 다음과 같이 구성되어 있다. 2 장에서는 FBD 를 이용해 FPGA-기반의 제어를 구현하기 위한 통합개발환경을 소개하며, 3 장에서는 VerilogLinker 를 구현하는데 고려했던 사항들과 실제 동작 결과에 대해서 이야기한다. 마지막 4 장에서는 결론 및 향후 연구에 대해서 설명한다.

### 2. FBD 를 이용한 FPGA-기반의 제어기 구현을 위한 통합개발환경

FBD 를 이용한 FPGA-기반의 제어기 통합개발환경을 위해 고려되어야 하는 요구사항으로는 크게 다섯 가지가 있다. 1) 하나의 구성(Configuration)에서 제어기 플랫폼에 탑재된 입출력 모듈 및 통신모듈의 구성정보 및 제어프로그램들을 계층적으로 관리할 수 있어야 한다. 2) 개발자가 직접 HDL 로 제어프로그램을 작성할



(그림 1) 통합개발환경의 구성

필요 없이 상위 수준의 FBD 로 제어로직을 작성할 수 있게 지원해야 한다. 3) 통합개발환경은 기본적으로 제공하는 FBD 외에 사용자 정의 함수 또는 함수 블록을 IP Core 형태로 추가하여 사용하는 기능을 지원해야 한다. 4) 통합개발환경은 제어프로그램 편집환경과 통합된 모니터링 환경을 지원해야 한다. 5) FPGA 에 제어로직을 다운로드 하기 위해서는 합성(Synthesis), 배선 및 배치(Place and Route), 이진파일(Bitstream file) 생성을 해야하는데, 이를 FPGA 공급자가 제공하는 상용 소프트웨어 도구인 Libero(Actel 社) 및 Modelsim(Mentor Graphic 社)과 연결하여 이러한 업무를 자동으로 수행하는 기능을 제공하여야 한다. 이며 이를 위해 우리는 통합개발환경의 구현을 크게 세 개의 부분으로 나눠서 진행하고 있다. (그림 1)은 통합개발환경의 전반적인 모습을 나타내고 있다.

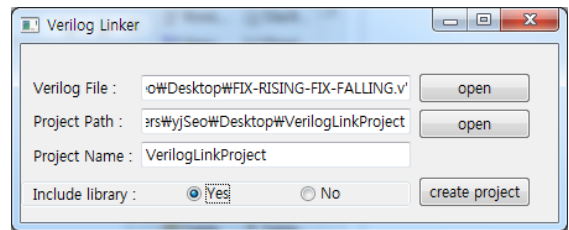
통합개발환경의 각 부분들은 개발 및 통합의 용이성을 위해 Eclipse 의 Plugin 형태로 구현되고 있다. 통합개발환경의 각 구성 부분을 살펴보면 (그림 1)의 개발 소프트웨어의 (a)에 해당하는 FBD 파일을 읽고 이를 편집할 수 있는 FBDEditor[2]가 있다. FBDEditor 는 제어 프로그램의 로직을 FBD 를 이용해 작성 및 PLCopen[3] 형식을 따르는 기존의 FBD 파일을 편집할 수 있는 기능을 제공한다. FBDEditor 를 이용해 엔지니어들은 기존의 PLC 에서 사용하던 FBD 를 사용해 제어 프로그램을 구현할 수 있고, 사용자 정의 함수 또는 함수 블록을 추가하여 프로그램을 구현할 수 있다.

통합개발환경의 구성요소 두 번째로는 (b)에 해당하는 작업을 수행하는 소프트웨어로, FBDEditor 에서 작성된 FBD 파일을 HDL 의 일종인 Verilog 로 변환해주는 컴파일러인 FBDtoVerilog[4]가

해당된다. FBDtoVerilog 는 FBDEditor 와 마찬가지로 PLCopen 형식을 따르는 FBD 파일을 입력으로 받으며 각 Function Block 을 Verilog 의 모듈로 변환하는 방법을 통해 변환된 Verilog 파일을 생성해주는 프로그램이다.

마지막으로 통합개발환경의 세 번째 구성요소로는 (c) 에 해당하는 작업을 수행하는 소프트웨어인 VerilogLinker 로, FBDtoVerilog 에서 생성된 Verilog 파일을 FPGA 공급자가 제공하는 상용 소프트웨어 도구와 연결해주는 프로그램이다. 본 논문에서 개발한 소프트웨어가 이에 해당하며 입력으로 받은 Verilog 파일로부터 해당 파일을 포함하는 Libero 프로젝트를 생성하게 된다.

### 3. VerilogLinker

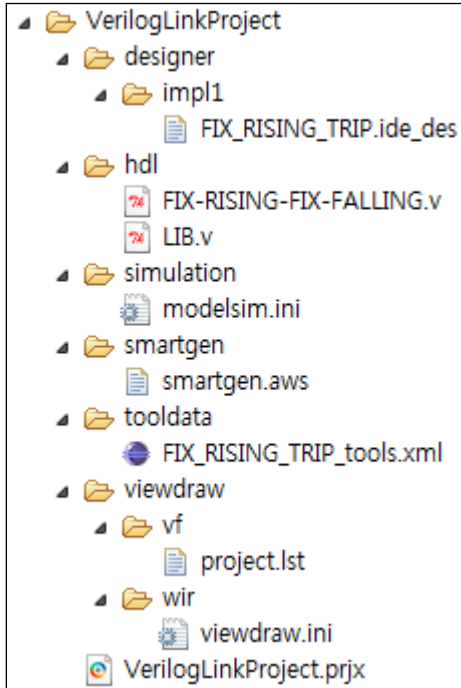


(그림 2) VerilogLinker 의 실행화면

VerilogLinker 는 통합개발환경의 FBDtoVerilog 에서 만들어진 Verilog 파일을 Libero 와 연결하기 위해 Libero 프로젝트를 생성해주는 소프트웨어이다. 엔지니어가 개발한 제어프로그램을 실행하는 대상이 되는 디바이스가 Actel 사에서 제조한 FPGA 디바이스이기 때문에, 제어로직이 해당 디바이스에서 실행되게 하기 위해서는 이전 과정에서 생성된 Verilog 파일을

Actel사에서 제공하는 상용 소프트웨어 도구인 Libero를 이용하여 합성을 수행하여야 하기 때문이다. (그림 2)는 VerilogLinker에서 Verilog 파일을 입력으로 받아 Libero 프로젝트를 생성하는 것을 보여주고 있다.

Libero 프로젝트의 생성을 위해 Libero에서 생성하는 프로젝트 파일 및 폴더 구조들에 대한 분석을 수행하여 Libero에서 합성 가능한 프로젝트를 생성해냈으며, 원자력 연구원에서 제공하는 Verilog의 라이브러리 파일을 가지고 있어서 라이브러리가 필요한 프로젝트의 경우에는 이를 포함하여 프로젝트를 생성할 수 있게 하였다.

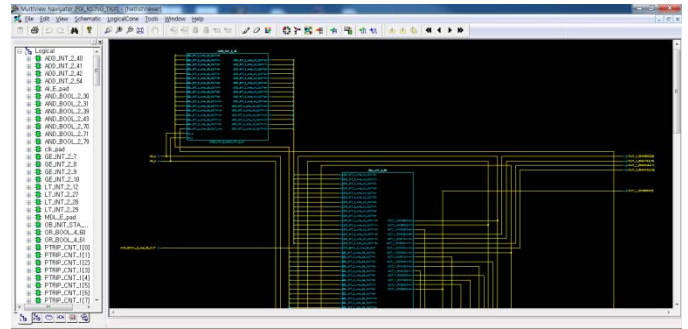


(그림 3) VerilogLinker를 통해 생성된 Libero 프로젝트

Libero의 프로젝트 구성은 여러 폴더들과 설정 파일을 가지지만 설정파일의 내용은 이진화 되어있지 않은 일반 텍스트와 xml로 구성되어있었기 때문에 이를 분석해서 파일을 생성할 수 있다. (그림 3)은 VerilogLinker를 통해 생성한 Libero 프로젝트의 구조를 보여준다. 이 중에서 modelsim.ini, smartgen.aws 파일들은 Verilog 프로젝트의 경우 모든 프로젝트에 대해 동일한 구성을 가지고 있기 때문에 파일의 내용 및 위치에 대하여 조작성 가할 필요가 없었지만 hdl폴더의 경우에는 내부에 프로젝트에 들어갈 각 Verilog 파일들이 들어가야 하며, 몇몇 파일에는 hdl에 들어가는 Verilog 파일의 모듈명이나 프로젝트의 위치 등이 들어가야 했기 때문에 프로젝트 생성 시 각 설정 파일들을 생성하면서 내용들을 Verilog 파일에 맞게 수정해주어야 했다. 구체적으로는 ide\_des 파일 내부에는 프로젝트의 메인 모듈이 되는 Verilog 파일의 경로명이 들어가야 하며, viewdraw.ini, project.lst, 파일에는 프로젝트의 경로가 필요하며 xml 파일에는 <tool> 엘리먼트 하위의 <input\_files> 엘리먼트 내부에 프로젝트 내부에 포함된 모든 Verilog 파일의 정보를

넣어주어야 하고 마지막으로 prjx 파일 내부에 프로젝트의 경로, Verilog 파일들의 경로 및 정보들을 넣어주면 된다.

최종적으로 VerilogLinker에서 만든 프로젝트 파일을 Libero를 통해 합성하였을 시 입력 Verilog 파일에 대해 (그림 4)과 같은 형태의 FPGA netlist를 얻을 수 있었다.



(그림 4) Libero에서 합성된 FPGA netlist

#### 4. 결론 및 향후연구

VerilogLinker는 원자력 발전소의 FPGA 기반 제어를 개발하기 위한 통합개발환경의 일부로 개발되었다. 기존의 FBD를 이용한 PLC 기반의 개발에 익숙한 엔지니어들도 통합개발환경에서 제공하는 FBDEditor와 FBDtoVerilog 등을 이용해 FPGA 기반의 제어기 개발을 보다 쉽게 할 수 있고, 이를 통해 생성 및 변환된 프로그램을 VerilogLinker를 통해 간단하게 FPGA 공급자가 제공하는 상용 소프트웨어 도구와 연결할 수 있을 것이다.

FPGA 통합개발환경을 위해서 연동되어야 할 상용 소프트웨어로는 Actel의 Libero 이외에도 시뮬레이션을 위한 상용 도구인 Modelsim과의 연동 또한 필요하다. 따라서 현재 Modelsim과의 연동을 위한 분석을 계획하고 있다.

#### 5. 사사

본 연구는 한국원자력연구원 주요사업 “원자력계측 제어 적합성평가, 감시 및 대응 체계 구축” 사업과 원자력연구원 창의연구사업 “FPGA-기반 제어기 통합 개발환경을 위한 핵심 소프트웨어 기술 개발” 사업의 지원으로 연구한 결과입니다.

#### 참고문헌

- [1] International Electrotechnical Commission (IEC), “International standard for programmable controllers – Part 3: Programming languages (IEC 61131-3).” 2013
- [2] 이동아, 김의섭, 서영주, 유준범, “FBDEditor: 원자력 계측제어 시스템 개발을 위한 FBD 설계 프로그램”, 2014 한국소프트웨어공학학술대회 (KCSE 2014), pp.315-318, 강원도 평창 휘닉스파크, 02.12-02.14, 2014.

- [3] PLCopen Technical Committee 6, "XML Formats for IEC 61131-3 Version 2.01," Technical Paper, 2009
- [4] Dong-Ah Lee, Eui-sub Kim, Junbeom Yoo, Jang-Soo Lee, Jong Gyun Choi, "FBDtoVerilog 2.0: An automatic translation of FBD into Verilog to develop FPGA", International Conference on Information Science & Applications 2014 게재 예정