

pSET 저장형식의 표준화를 위한 변환도구 개발: pSET2TC6

이동아[○], 유준범

건국대학교 컴퓨터공학부

{ldalove,jbyoo}@konkuk.ac.kr

pSET2TC6: A Translation Tool to Standardize the Output Format of pSET

Dong-Ah Lee[○], Junbeom Yoo

Division of Computer Science and Engineering, Konkuk University

요 약

KNICS 프로젝트의 일부로 개발된 pSET (POSAFE-Q Software Engineering Tool) 은 POSAFE-Q PLC (POSAFE-Q Programmable Logic Controller) 프로그램 개발을 위한 소프트웨어 도구이다. pSET을 이용해 개발된 프로그램은 자체 저장 형식인 'Id'를 확장자로 가지는 파일로 저장된다. 개발된 프로그램을 검증하기 위하여 Model Checking과 같은 정형검증기법을 적용하려고 할 때, 자체 저장 형식인 '*.Id'는 표준화된 저장형식이 아니기 때문에 다른 도구의 입력으로 사용하기에는 부적합한 특징을 가지고 있다. 본 논문에서는 기존에 개발된 PLCVerifier의 내부 모듈인 pSET의 저장 형식을 PLCopen기반의 XML 파일로 변환하는 모듈을 독립화 및 개선화하여 새로운 도구 pSET2TC6을 개발한 내용을 소개한다. 또한 작성되는 프로그램의 특징과 연계 프로그램들과의 호환성에 대하여 설명한다.

1. 서 론

pSET (POSAFE-Q Software Engineering Tool) 은 원전 적용을 위하여 개발된 POSAFE-Q PLC (POSAFE-Q Programmable Logic Controller) 를 프로그래밍하기 위한 Loader Software이다 [1]. 개발되는 소프트웨어는 IEC 61131-3 [2] 규약을 따르도록 구성되어있고, IEC 61131-3 규약에 언급되지 않은 Safety 측면에 대해서는 원자력 발전소 안전 시스템 (Nuclear Power Plant Safety Systems) 을 구축할 때 사용되는 소프트웨어 언어에 대한 지침서인 NUREG/CR-6463 [3] 을 고려해 개발되었다. 그림 1은 pSET을 실행한 화면을 나타내고 있다.

pSET을 이용해 소프트웨어를 개발할 때 LD (Ladder Diagram) 또는 FBD (Function Block Diagram), SFC (Sequential Function Chart), CC (C Code) 와 같은 언어를 사용할 수 있다. 개발된 소프트웨어는 'Id' 라는 확장자를 가지는 파일로 저장되며, 사용자는 두 가지 형식 중 한 가지를 선택하여 '*.Id' 파일로 저장할 수 있도록 이루어져있다. 이 중, 한 가지 형식은 일반적으로는 알 수 없는 형식의 Binary 형식의 파일이고, 다른 한 가지는 ASCII 형식의 파일이다. ASCII 형식으로 저장된 '*.Id' 파일은 문서편집기와 같은 프로그램을 이용하여 프로그램의 내용 분석이 가능하다. 하지만, 표준화된 형식의 파일이 아니기 때문에 기존에 개발된 다른 도구들과의

호환성이 부족한 단점을 가지고 있다.

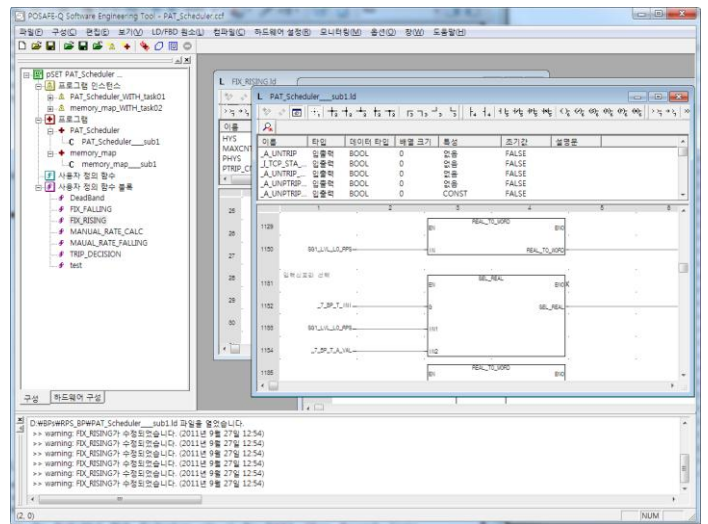


그림 1. pSET 실행 화면

PLCVerifier [4]는 pSET으로 개발된 PLC 프로그램 중 FBD 및 LD를 이용해 구현된 프로그램을 Verilog [5]로 변환하여 Cadence SMV [6]를 이용해 Model Checking [7]을 수행하기 위하여 개발된 도구이다. 이 도구는 ASCII 형식으로 저장된 '*.Id' 파일을 PLCopen TC6 (PLCopen Technical Commit 6) [8] 표준의 XML파일로 변환하는 내부 모듈을 포함하고 있다. 본

논문에서는 기존에 개발된 PLCVerifier의 내부 모듈 중 ASCII형식으로 저장된 '*.ld' 파일을 PLCopen TC6 표준의 XML 파일로 저장하는 모듈을 독립화 및 개선화하여 개발한 도구에 대하여 소개한다. 또한 pSET을 이용해 개발된 프로그램의 특징에 따라서 연계되어 적용하는 프로그램들의 호환성에 관하여 설명한다.

본 논문은 다음과 같이 구성되었다. 2장에서는 pSET2TC6과 연계하여 사용될 수 있는 도구들에 대한 관련 연구 및 연계 프로그램들 간의 호환성에 대해 설명한다. 3장에서는 본 연구에서 개발한 pSET2TC6에 관해 소개하고, 마지막 4 장에서 결론을 맺는다.

2. 관련 연구

FBDtoVerilog는 PLC용 프로그램 개발 시 널리 사용되는 언어인 FBD 프로그램을 정형검증하기 위하여 SMV (Symbolic Model Verifier) 나 VIS (Verification with Interaction and Synthesis) [9] 와 같은 Model Checker의 입력 언어인 Verilog로 변환해주는 CASE (Computer Aided Software Engineering) 도구이다 [10]. 이 도구는 PLCopen TC6 표준의 XML파일을 입력으로 사용한다. SMV와 VIS의 입력 프로그램 언어는 Verilog지만, 각각의 입력 프로그램에 대한 제약사항이 다르기 때문에 각 Model Checker의 제약사항에 맞도록 SMV용과 VIS용 Verilog파일을 따로 생성해 주는 특징을 가졌다.

FBDtoVerilog 이외에도 pSET2TC6의 출력물과 동일한 형태인 PLCopen TC6 표준의 XML파일을 입력으로 가지는 모든 프로그램이 pSET2TC6과 연계하여 사용이 가능하다. 하지만 FBD의 EN/ENO이 프로그램의 제어 알고리즘에 사용되는 프로그램이나 여러 Function Block의 출력이 하나의 출력 변수로 할당되어 값이 덮어씌워지도록 구현된 프로그램들은 프로그램을 구현하는 개발자의 개발 습관과 밀접하게 연관된 부분이다. pSET에서 제한하고 있지 않은 위와 같은 특징들은 연계 프로그램들의 특성상 위와 같은 사항들의 제어가 일반적으로 사용되는 구현방식과는 차이가 있을 수 있음을 가정하고 진행된 연구가 많이 진행되어 왔다 [11][12]. 따라서 pSET2TC6를 통해 변환된 XML파일의 프로그램 내용이 연계 프로그램의 호환성에 문제가 있을 수 있음을 고려해야 한다.

3. pSET2TC6

기존에 개발된 PLCVerifier의 내부 모듈은 pSET으로 개발된 PLC 프로그램 중 FBD나 LD, 혹은 FBD/LD를 혼용하여 개발한 프로그램 파일 (*.ld) 을 입력으로 받아서 PLCopen TC6의 옛 버전 형식에 맞는 출력 파일 (*.xml) 을 생성하는 모듈이다. PLCVerifier에

중속적으로 구현되어 독립적으로 사용할 수 없었으며, FBD요소만을 사용해 개발한 프로그램이나, FBD/LD를 혼용하여 개발한 프로그램의 모든 요소들을 PLCopen TC6의 Ladder Diagram 요소로 변환하였다. 그림 2는 PLCVerifier 내부의 변환모듈의 파일변환과정을 나타내고 있다.

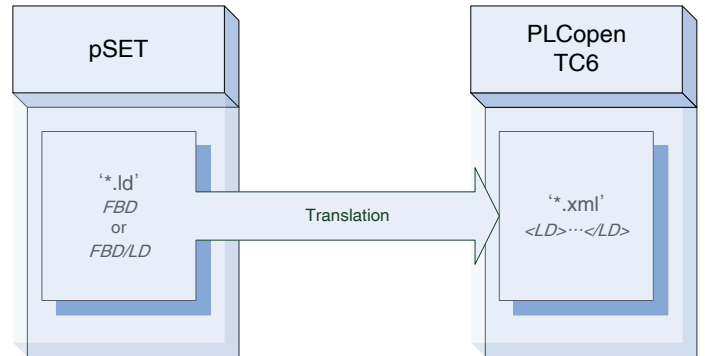


그림 2. PLCVerifier 내부 모듈의 파일변환 과정

pSET2TC6는 연계되는 프로그램의 특징에 따라서 FBD와 LD를 구분해야 하는 상황을 고려하여 개발되었다. FBD로만 작성된 프로그램은 변환 후 FBD요소를 포함한 XML파일로 출력하도록 변환하고, LD로만 작성되거나 LD/FBD가 혼용되어 사용된 프로그램의 경우에는 XML파일의 내용을 LD요소를 포함하는 기존의 변환 방식을 사용하도록 구현하였다. 또한, 기존 PLCVerifier 모듈의 변환규칙은 PLCopen TC6의 옛 버전에 맞춰져 있지만, pSET2TC6에서는 최신판인 Version 2.01에 맞도록 변환 알고리즘을 수정하였다. 그림 3은 pSET2TC6를 이용한 변환과정을 나타내고 있다.

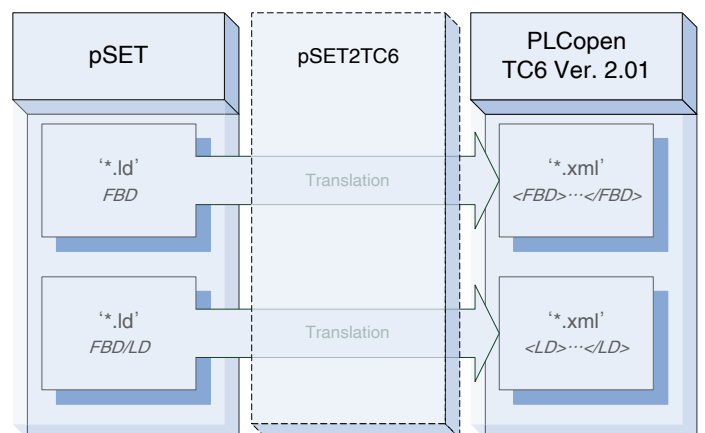


그림 3. pSET2TC6의 파일변환 과정

pSET2TC6는 사용자 편의를 위하여 JAVA의 Swing을 이용한 GUI (Graphic User Interface) 를 제공한다. 그림 4는 개발된 pSET2TC6를 실행한 화면이다. 화면의 왼쪽에 보이는 Textbox는 pSET의 출력물인 '*.ld'

파일을 불러온 내용이다. 파일을 불러온 후 왼쪽 아래의 변환 버튼을 클릭하여 변환을 수행할 수 있고, 수행한 결과는 화면의 오른 Textbox에 나타난다. 표시된 내용은 화면 오른 쪽 아래의 저장 버튼을 이용해 '*.xml' 파일로 저장이 가능하다.

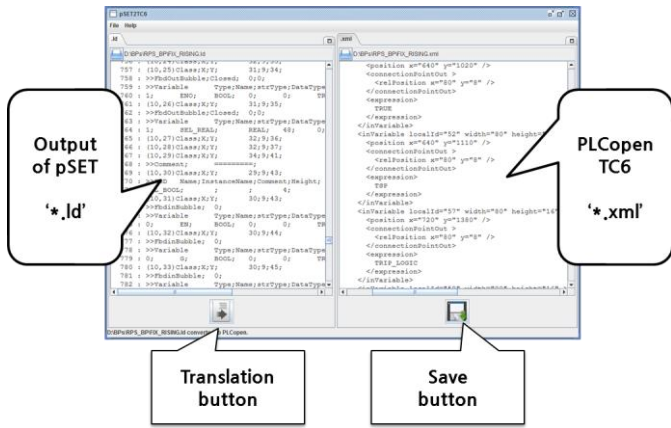


그림 4. pSET2TC6를 실행한 화면

4. 결론 및 향후 연구

본 논문은 pSET의 출력물인 '*.ld' 파일을 PLCopen TC6 표준의 Version 2.01에 맞는 XML 파일로 변환해주는 도구인 pSET2TC6에 관한 논문이다. 기존에 개발된 도구인 PLCVerifier의 내부 모듈을 대상으로 독립화 및 개선을 수행하였으며, 사용자 편의를 위하여 GUI를 함께 개발하였다. pSET2TC6의 출력물은 PLCopen TC6 표준에 맞는 XML파일이기 때문에, 해당 표준을 따르는 다양한 도구와 연계사용이 가능한 특징을 가진다..

현 도구는 PLCopen TC6의 Version 2.01을 기반으로 제작되었으나, 표준의 변동사항이 생길 때는 기존 Version의 변환 수행 알고리즘을 보존한 채 새로운 Version으로 선택적인 변환을 가능하도록 유지보수 할 계획이다. 또한 원본 파일의 내용이 변환 후에 어느 위치로 변환되었는지 표시해 주는 기능을 추가한다면 사용자에게 변환 전후의 내용을 보다 직관적으로 알려줄 것으로 기대한다.

5. 사사

이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업 지원 (2011-0005583) 과 지식경제부의 지원 및 한국원자력연구원의 안전등급 제어기기 엔지니어링 도구 성능개선 기술개발사업 (KETEP-2010-T1001-01038), 지식경제부 및 정보통신 산업진흥원의 대학 IT연구센터 지원사업의 연구결과 (NIPA-2011-(C1090-1131-0008)) 로 수행되었음

참고문헌

- [1] 조승재, 구경모, 유병용, 김태욱, 심태윤, 이진수, PLC 프로그래밍을 위한 Loader 소프트웨어(pSET) 개발, 대한전자공학회 학술대회 논문집, 제30권, 제1호, 959-960쪽, 2007년
- [2] IEC (International Electrotechnical Commission), International standard for programmable controllers: Programming languages: Part 3 (IEC 61131-3), 1993
- [3] NUREG/CR-6463: Review guidelines on Software Languages for Use in Nuclear Power Plant Safety Systems, 1996
- [4] 김병완, FBD 및 LD로 구현된 PLC 프로그램의 Verilog 변환을 통한 정형검증, 한국과학기술원, 석사학위논문, 2009년
- [5] D.E. Thomas and P.R. Moorby, The Verilog Hardware Description Language, Kluwer Academic Publishers, 1991
- [6] K. L. McMillan.Symbolic Model Checking, Kluwer Academic Publishers,1993
- [7] Edmund M. Clarke, Orna Grumberg, and Doron A. Peled, Model Checking, MIT Press, 1999.
- [8] PLCopen for efficiency in automation, <http://www.plcopen.org>
- [9] Robert K. Brayton, Gary D. Hachtel, Alberto Sangiovanni-Vincentelli, Fabio Somenzi, Adnan Aziz, Szu-Tsung Cheng, Stephen A. Edwards, Sunil P. Khatri, Yuji Kukimoto, Abelardo Pardo, Shaz Qadeer, Rajeev K. Ranjan, Shaker Sarwary, Thomas R. Shiple, Gitanjali Swamy, and Tiziano Villa, "VIS : A system for verification and synthesis," In the Eighth International Conference on Computer Aided Verification, CAV '96, pages 428-432, 1996.
- [10] Junbeom Yoo, Jong-Hoon Lee, Sehun Jeong and Sungdeok Cha, FBDtoVerilog: A Vendor-Independent Translation from FBDs into Verilog Programs, The Twenty-Third International Conference on Software Engineering and Knowledge Engineering (SEKE 2011), pp.048-051, 2010
- [11] Junbeom Yoo, Sungdeok Cha, and Eunyoung Jee, Verification of PLC programs written in FBD with VIS, Nuclear Engineering and Technology, Vol.41, No.1, pp.79-90, 2009.
- [12] Norbert Völker and Bernd J. Krämer, Modular verification of function block based industrial control systems, Proceedings of Joint 24th IFAC/IFIP Workshop on Real-Time Programming and The Third International Workshop on Active and Real-Time Database Systems, 1999